

Programa CI-Brasil

Jacobus W. Swart

jacobus.swart@cti.gov.br

www.ci-brasil.gov.br

Programa CI-Brasil

1. Criação e objetivos
2. Organização
3. Centros de Treinamento
4. Design Houses
5. Temas relacionados
6. Perspectivas

Criação do Programa CI Brazil

- Junho de 2005
- Lançado pelo CATI/SEPIN/MCT – recurso da lei de informática
- Iniciativa da Academia, Governo e Indústria

CI Brasil - Visão & Objetivos

- Promover o desenvolvimento de um ecossistema em microeletrônica no país e inserção do país no mercado de semicondutores
 - Promover empresas locais de IC's e atrair empresas internacionais
 - Promover inovação na indústria
- Sinergia com outros incentivos governamentais:
 - Lei de Informática
 - PADIS – programa de incentivos para semicondutores e *displays*
 - Programas de subvenção da FINEP e BNDES

Necessidade de projeto e/ou fabricação de semicondutores:

1. Inovação
2. Balança comercial
3. Autonomia no desenvolvimento de produtos classificados

2. Organização

- Comissão de Coordenação
 - Sub-comissões:
 - Recursos Humanos
 - Tecnologia e Infraestrutura
 - Negócios
 - Reuniões presenciais trimestrais
- Coordenação e secretaria: CTI

3. Centros de Treinamento

- CT1 – UFRGS, Porto Alegre – início em abril 2008
- CT2 – CTI, Campinas – início em agosto 2008
- Formato: Fases I, II e III
 - Fase I: teoria e ferramentas EAD – 5 meses
 - Fase II: experiência em projetos – 7 meses
 - Fase III: estágio em DH's ou empresas – 12 meses
- 407 projetistas formados até dez. 2010
- 101 em curso (março 2011)

3. Centros de Treinamento



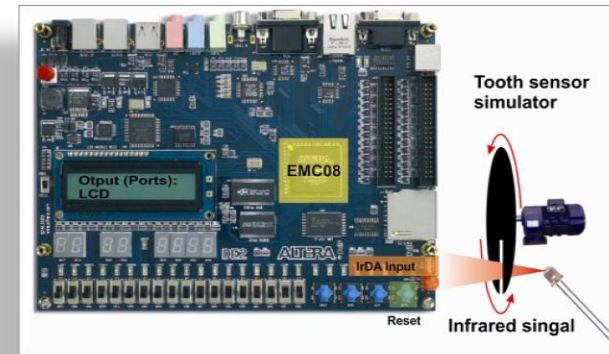
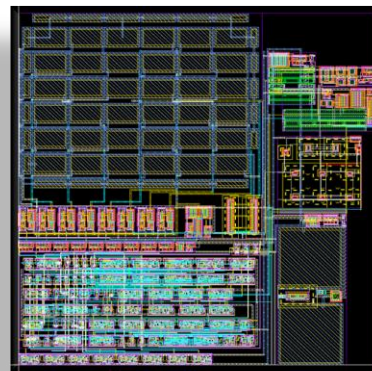
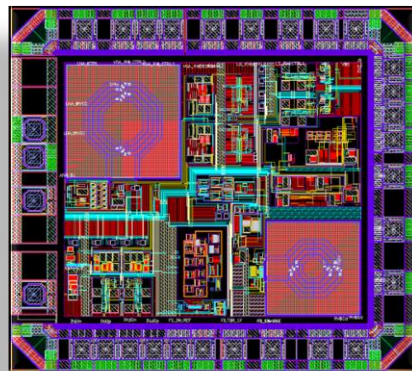
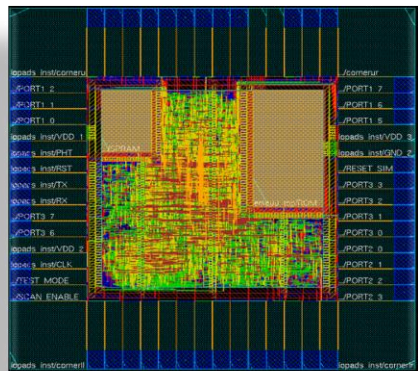
3. Centros de Treinamento

- Formação/Certificação de Instrutores pela CADENCE
 - 10 Teoria
 - 12 Ferramentas EDA
- Vinda de 2 pesquisadores Toshiba em 2010
- Financiamento: FINEP e CNPq
- Gastos anuais:
 - Custeio CT1 e CT2: R\$ 3,5 milhões
 - Bolsas: Fase I/II + fase III: R\$ 5 a 7 milhões (< 10 milhões)
- Pesquisa de avaliação – em andamento
- Perspectivas:
 - Incluir treinamento em uso IP's da ARM
 - Credenciar como curso de mestrado profissional

Centro de Treinamento II

Fase II da edição de 2010 no CT2:

- Projeto de uma Unidade de Controle de Motor a Combustão (EMC08), composta por um Microcontrolador de 8bits, Conversores AD/DA e Transceptor de RF a 2.4GHz, tecnologia XFAB 0.18 utilizado para controle da injeção de combustível, ignição, acionamento e diagnóstico do motor.
- Realizado através da metodologia e fluxo das ferramentas Cadence aplicadas durante o curso.
- Tape-out conforme as figuras dos layouts do chip
- Validação funcional dos módulos digitais comprovadas em FPGA .



DIGITAL

RF

AMS

FPGA

Projetistas Formados

CT	Fases\Ano	2008	2009	2010	2011*
CT1	Fases I e/ou II	66	64	33	49
CT1	Fase III		30	28	20
CT2	Fases I e/ou II	90	72	82	52
CT2	Fase III		48	24	36
CT1+CT2	Fases I e/ou II	156	136	115	101
CT1+CT2	Fase III		78	52	56
Acumulado	Fases I e/ou II	156	292	407	508
Acumulado	Fase III		78	130	186

4. Design Houses

- Total = 18
- +



Rede de Centros de Projetos



4. Design Houses

Fase I - (>2005)

CEITEC	RS
CESAR	PE
CETENE	PE
CTI	SP
CTPIM	AM
LSITec	SP
W.v.Braun	SP

Fase II - Edital 59/2008

DFChip	DF
DHBH	MG
Floripa DH	SC
NPCI	RJ
SMDH	RS
<u>TE@I²</u>	PE
Chipus	SC
ExcelChip	SP
Freescale	SP
Idea!	SP
SiliconReef	PE

Independentes

Eldorado	SP
MinasIC	MG
PortoChip	RS
Total	21
SP	7
PE	4
RS	3
MG	2
SC	2
DF	1
RJ	1
AM	1

4. Design Houses

DH	Proje- tistas	Bol- sas	Proj.com. conclu- dos 2010	Proj.c. anda- mento	DH	Proje- tistas	Bol- sas	Proj.com. conclu- dos 2010	Proj. c. anda- mento
CEITEC	51	0	1	6	DFChip	11	6	2	3
CESAR	6	8	0	1	DHBH	6	7	0	0
CETENE	28	25	2	5	Floripa DH	6	6	0	0
CTI	45	43	2	3	NPCI	9	4	0	1
CTPIM	8	0	1	1	SMDH	19	17	0	3
LSITec	40	42	3	3	TE@I ²	4	2	0	0
W.v.Braun	23	0	1	2	<i>Chipus</i>	6	7	3	3
					<i>ExcelChip</i>	7	7	0	2
Eldorado	18	3	0	4	<i>Freescale</i>	112	8	12	
MinasIC	6	1	0	5	<i>Idea!</i>	16	8	1	2
PortoChip					<i>SiliconReef</i>	4	2	0	1
TOTAL						425	196	28	45

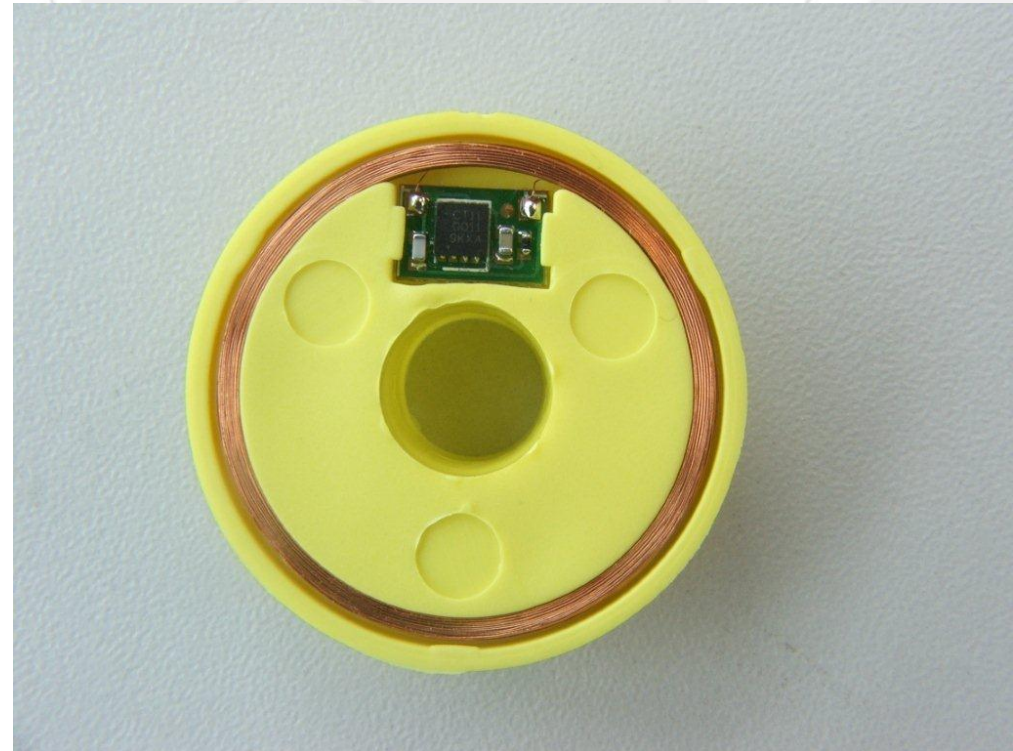
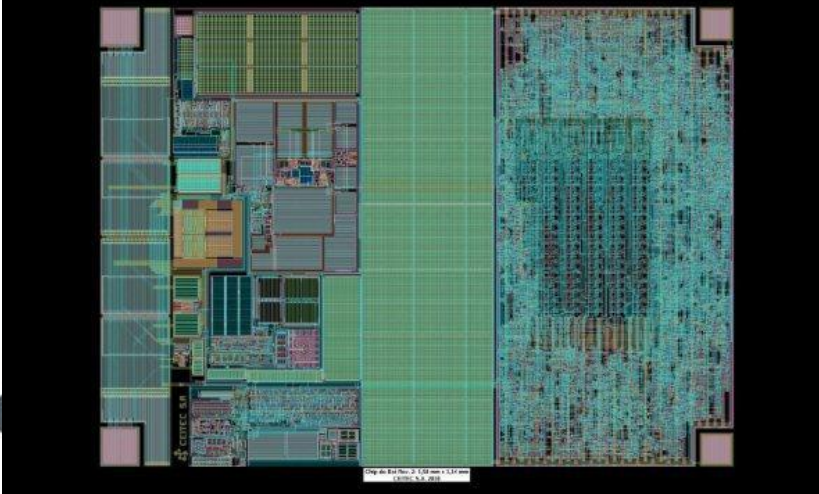
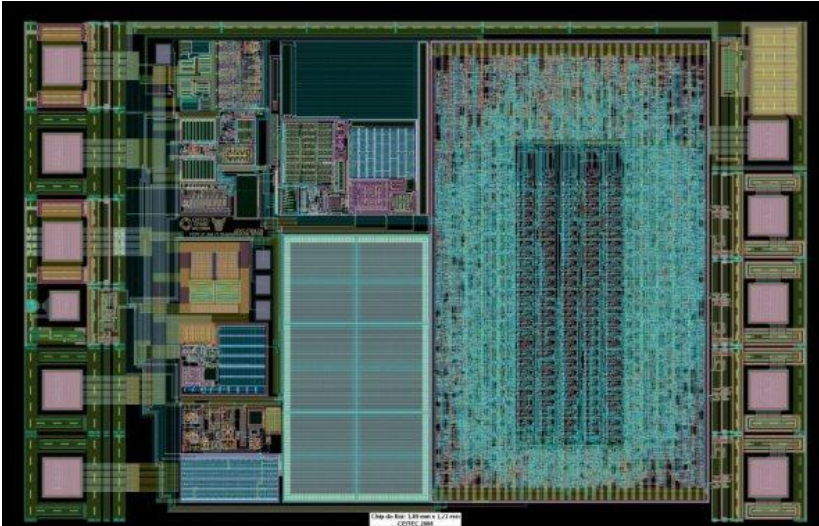
4. Design Houses

- Financiamentos:
 - Bolsas DH's - CNPq (anual): R\$ 8 milhões
 - EDA – FINEP (anual): R\$ 1,5 milhões
- Fabricação de wafers:
 - Exterior
 - CEITEC-SA (2012)
- Packaging:
 - Exterior
 - CTI (em ampliação)
- Testes:
 - Exterior
 - CTI (em ampliação)

4. DH's - Exemplos de CI's concluídos - CEITEC

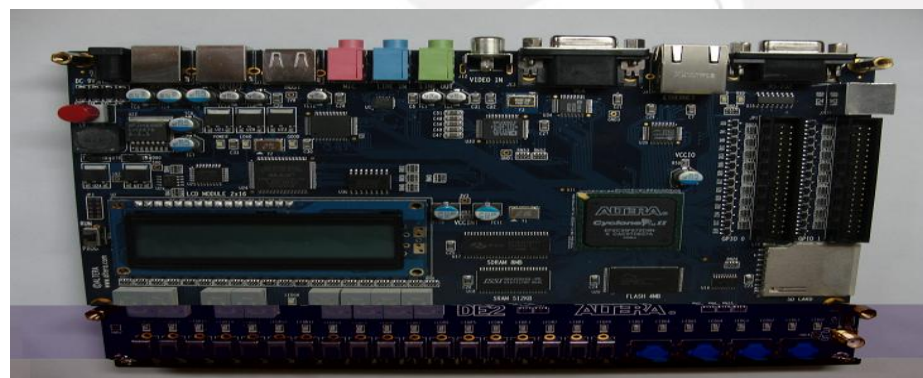
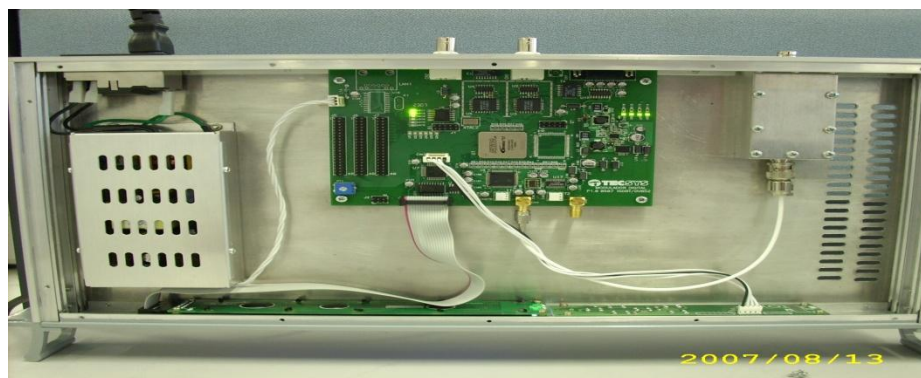
- Chip do Boi – V1, CMOS 0,6 μm
- BNDES

- Brinco Chip do Boi



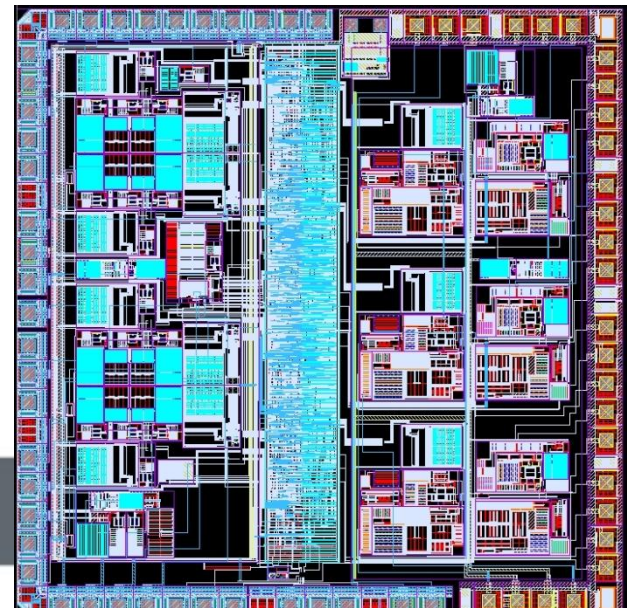
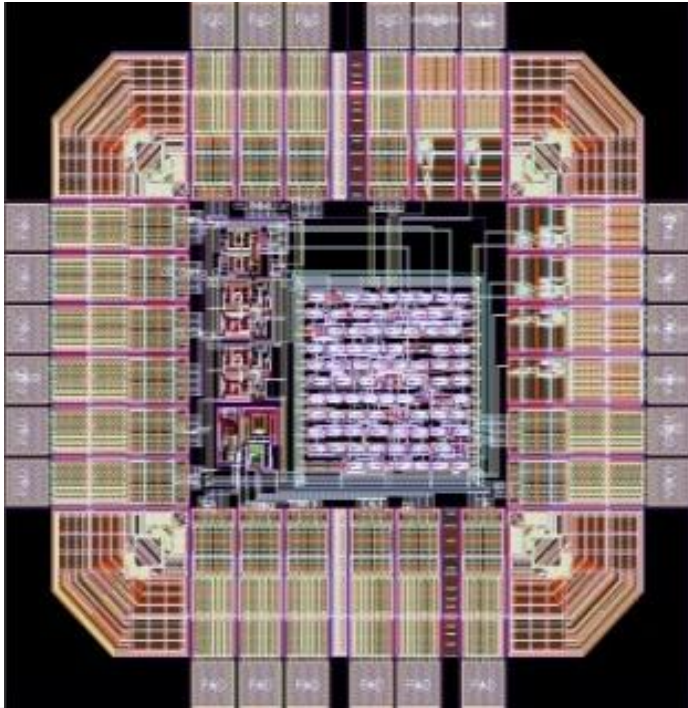
4. DH's - Exemplos de CI's concluídos - CETENE

- Moduladores para TV-Digital DVB-C e DVBS2 em FPGA
- Tec-Sys
- Circuito de controle de iluminação pública em FPGA
- FINEP/Sebrae



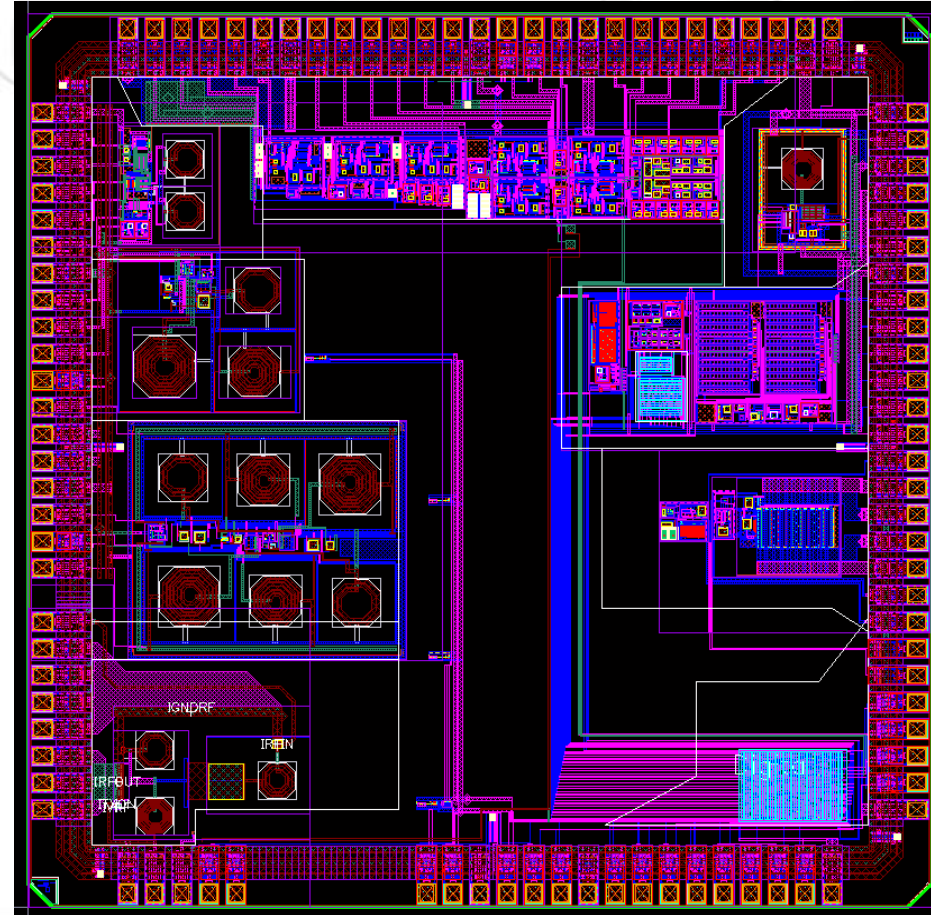
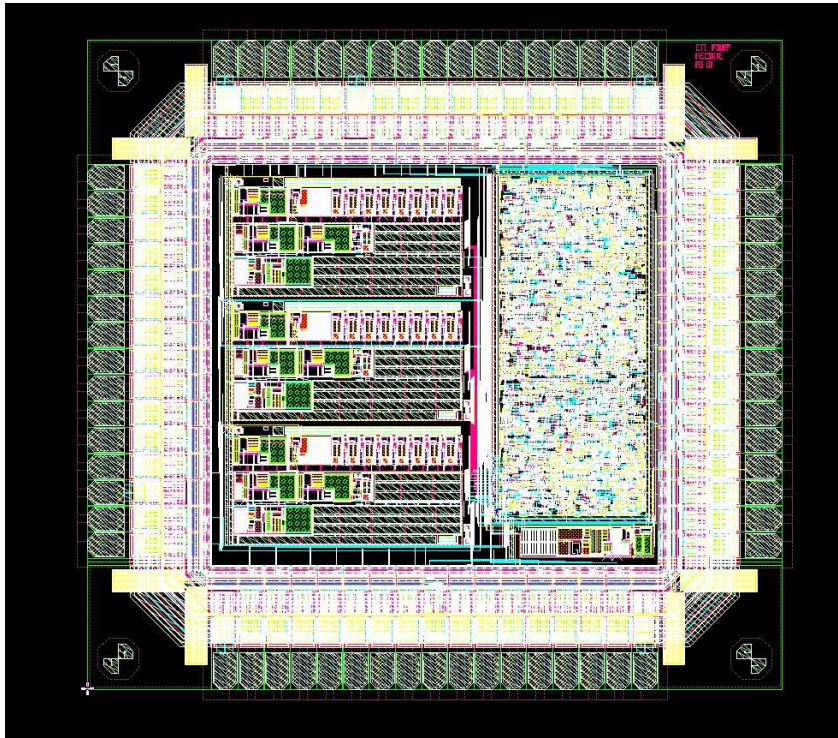
4. DH's - Exemplos de CI's concluídos - LSITec

1. Detector/sinalizador de falha em sistemas de transmissão de alta-tensão.
 - CPFL
2. Sintonizador digital p/ aplicações em TV Digital
 - Entropic (USA)
3. Instrumentação industrial e protocolos de comunicação digital e analógica.
 - Treetech



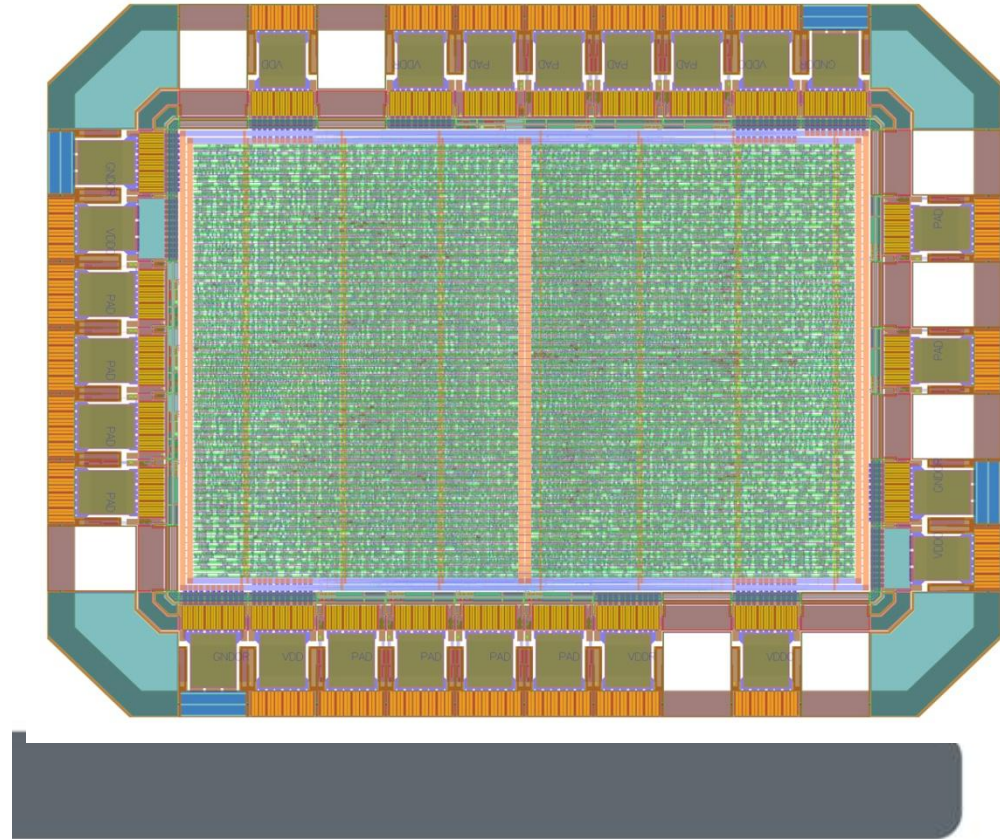
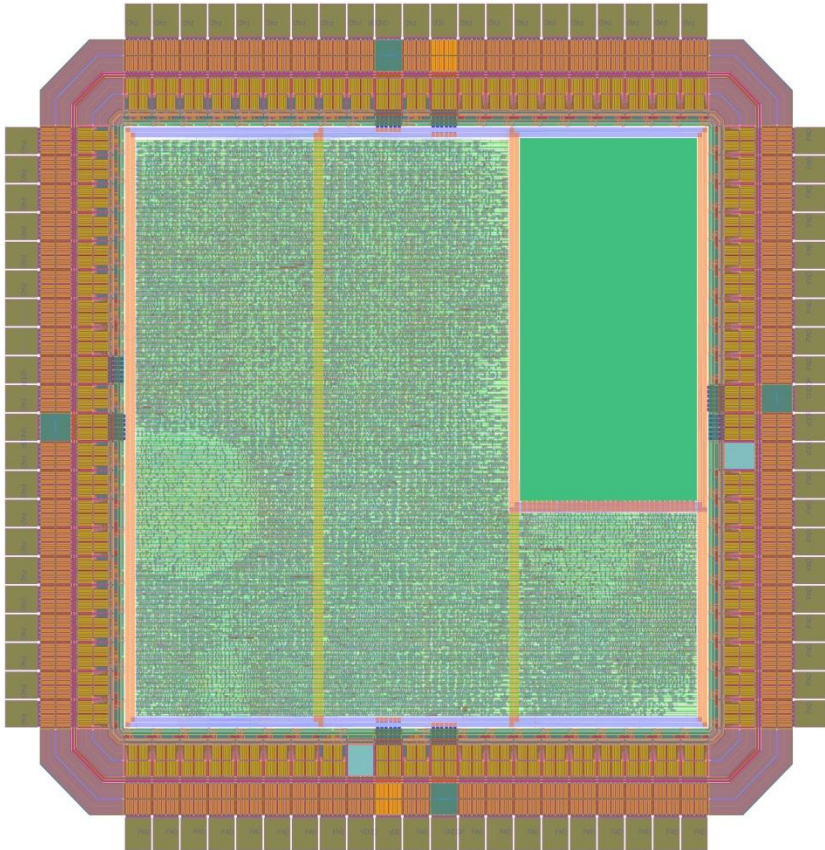
4. DH's - Exemplos de CI's concluídos - CTI

- Interface cartão magnético. Automação bancária e comercial.
- CIS Eletrônica
- Chip set telefone sem fio.
- Intelbrás



4. DH's - Exemplos de CI's concluídos - CPWvB

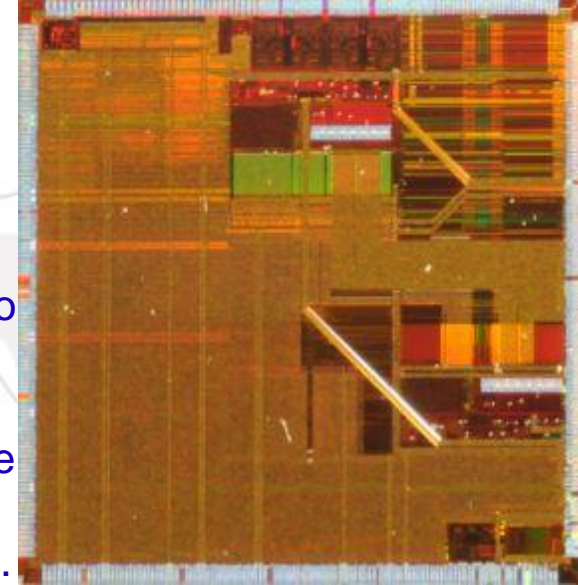
- Microcontrolador de 8bits baseado no Z80 para aplicações em TV analógica
- Semp-Toshiba
- Core Criptográfico do algoritmo AES128
- Semp-Toshiba



4. DH's - Exemplos de CI's concluídos - Freescale

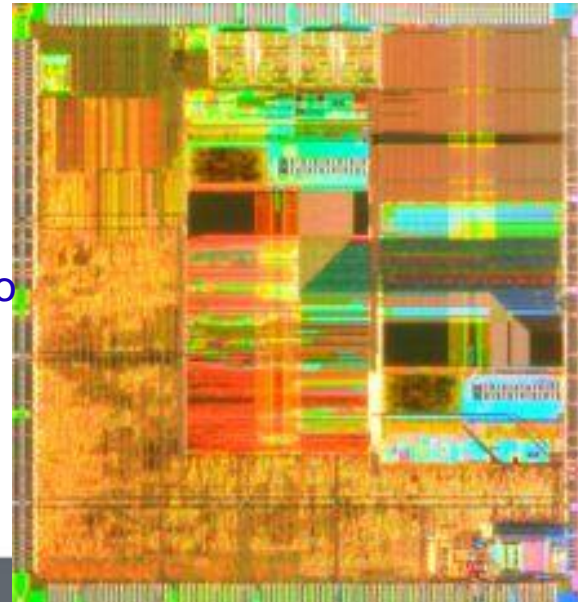
• MPC5676R (Cobra)

- Microcontrolador de 32-bits com duas CPUs Power Architecture otimizadas para aplicações embarcadas e um grupo de periféricos digitais e analógicos necessários à implementação de um sub-sistema para o controle de injeção de combustível de um motor automotivo de combustão interna. É o maior e mais complexo microcontrolador para esta aplicação feito pela Freescale. Inclui lógica de auto-teste em pleno funcionamento e novas técnicas de distribuição de relógio para diminuir o seu impacto no roteamento do leiaute.



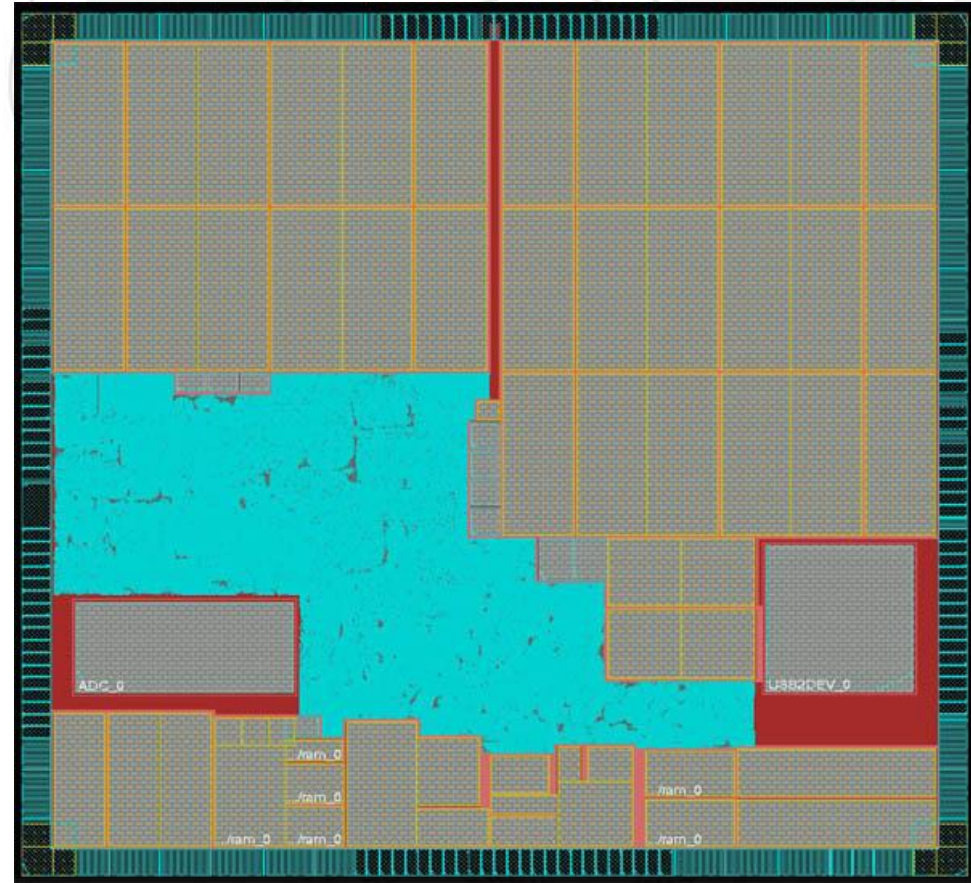
• MPC5674F (Mamba)

- Microcontrolador de 32-bits com uma CPU Power Architecture otimizada para aplicações embarcadas e um grupo de periféricos digitais e analógicos necessários à implementação de um sub-sistema para o controle de injeção de combustível de um motor automotivo de combustão interna. Este microcontrolador detém o recorde mundial de desempenho no seu mercado, sendo o triplo do da concorrência



4. DH's – Exemplos de CI's em andamento – Idea! & Eldorado

- Chip para TV Digital de Alta Definição e Móvel
- Tecnologia 65 nm
- Tuner, demodulador e interface USB integrados
- Note alta densidade de memória

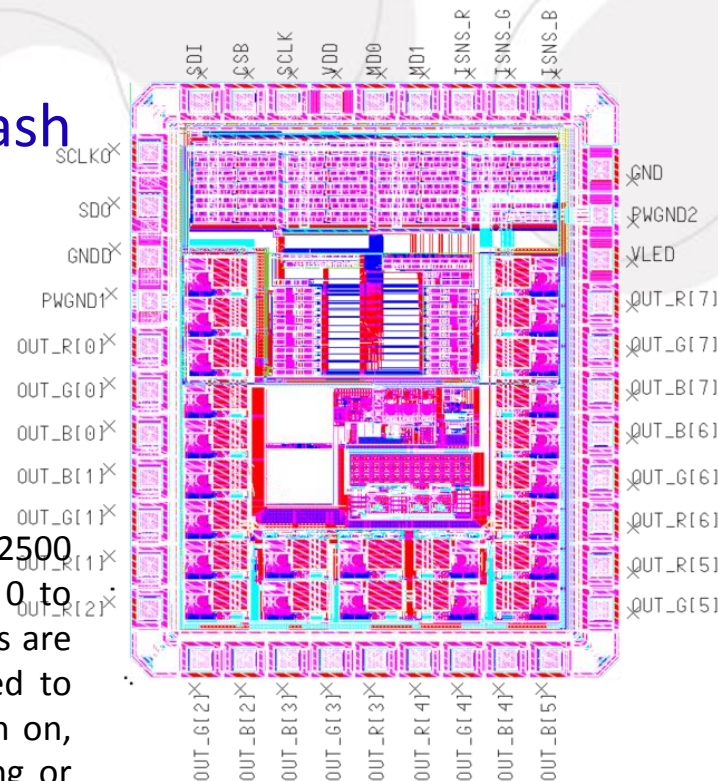


4. DH's – Exemplos de CI's em andamento

Excelchip

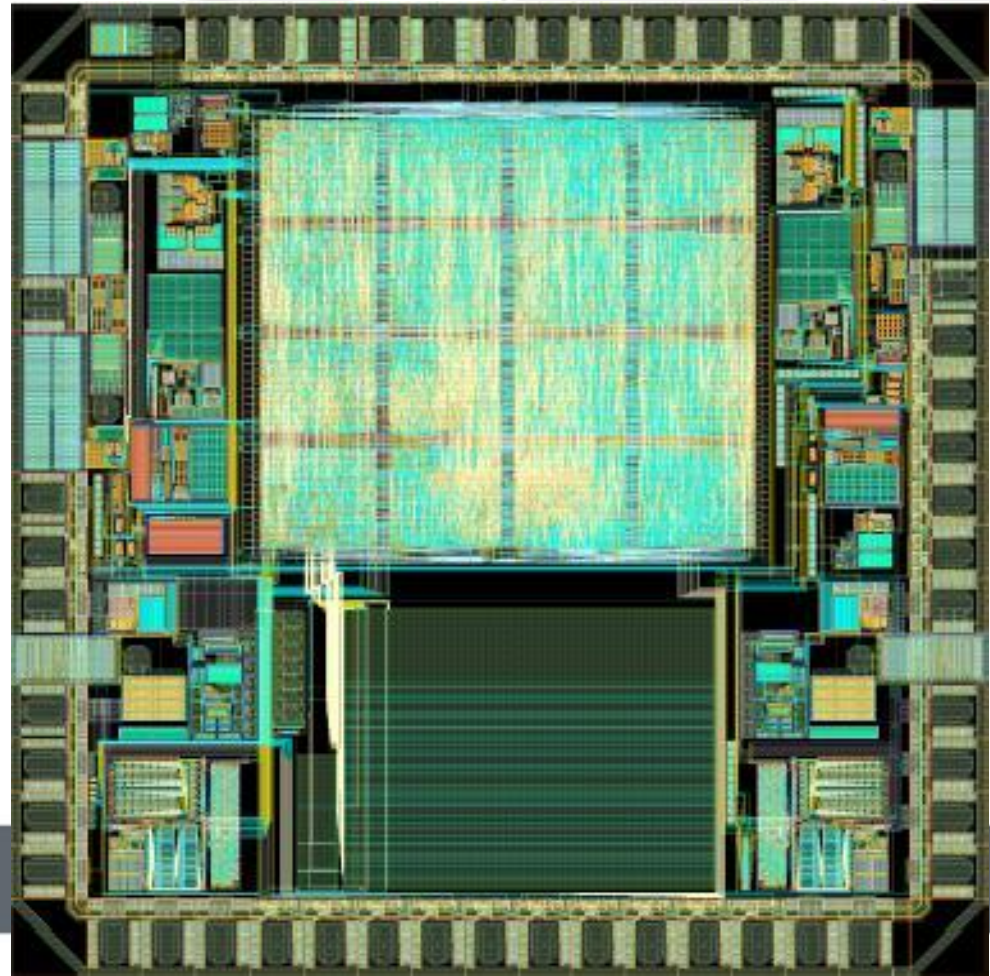
- **XL2500 - RGB Led Control**
- Applications:
 - ❖ RGB Led Bar for mood lightning/ wash lightning
 - ❖ RGB Led Panels for architectural effect
 - ❖ Airplane Lightning
 - ❖ Instrument Panel backlightning

- ❖ The Excelchip XL2500 is a member of XL2000 family of Led Drivers. XL2500 has 24 Low side LED drivers with current limiting and dimming from 0 to 100% through Pulse Width Modulation. The Red, Green and Blue levels are configurable through SPI interface . Its internal circuits was conceived to avoid huge current peaks, inherent to competitors ICs at the LEDs turn on, easing the EMI control and making it ideal for use in airplane lightning or backlightning of medical devices.



4. DH's – Exemplos de CI's em andamento – SMDH & Chipus

- MCU de 8 bits ZR16, com arquitetura EEPROM proprietária, *timer e watchdog*, ADC e tensão de alimentação flexível.
- Cliente EXATRON



4. DH's – Exemplos de CI's em andamento - SiliconReef

Energy Harvesting IC – EH01



Project Description: : High efficiency power converters and power management circuits in a single-chip solution (EH01 IC) designed for energy harvesting applications. Targeting apps: solar chargers, mobile phones, e-books, wireless sensor networks.

Target technology: ASIC – 150nm node technology

Status: Expected launching Q1-20112



4. CEITEC – Wafer Fab & DH



Building 2 - 5.100 m²

- Design Center; Marketing
- Process engineering
- Technological incubator

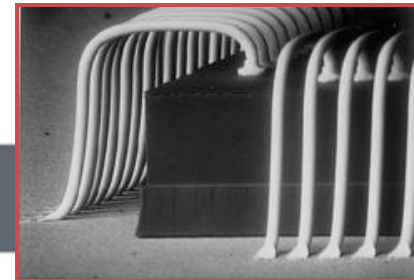
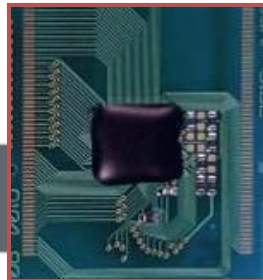
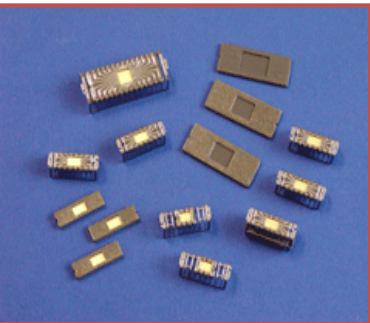
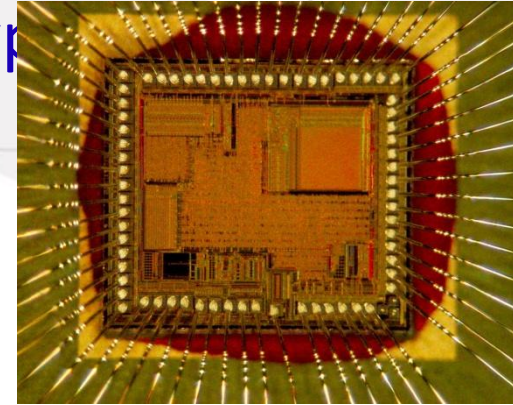
➤ Training Facilities

Building 1 - 9.600 m²

- 2.000 m² Clean rooms: production and training (800 m² class100)
- 4.000 wafers/month (200 a 15.000 chips/ wafers)

4. Packaging - CTI

- Small scale ceramic packaging – engineering phase of IC design
- Chip on Board (COB) technology for prototyping
- Packaging of sensors and SAW devices
- Microsoldering of Al and Au wires
- Special dicing for different substrates:
 - Si, GaAs, Al_2O_3 , LiNbO_3 , glass, quartz, circuit boards, etc.



4. Packaging - CTI

- Chips empacotados para DH's em 2010:

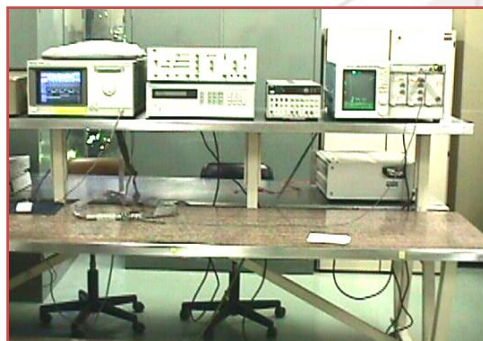
DH	Tipo	Quantidade
DH CTI	Cerâmico	150
W.v.Braun	Cerâmico – RFID	12
	Chip on board	18
CEITEC	Cerâmico	50
Chipus	Chip on board	3
	Cerâmico	23 (em andamento)
Cesar	Cerâmico	17
LSI Tec	Cerâmico	8
Opto	Cerâmico	40
SENAI	SMD	40
UNICAMP	Cerâmico	1 conjunto sensor de pressão



4. Characterization and Failure Analysis



Teradyne MicroFlex
tester



Logic analyzer-
HP16500B



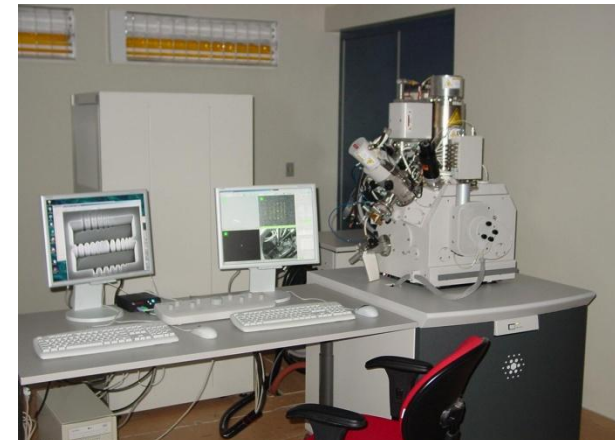
Wafer prober –
Micromanipulator
6400



Optical
Microscope



SEM w.
EDX/WDS



FIB/SEM dual beam
(@ CCS-UNICAMP)

4. Testes de CI's no CTI

- Oferecido curso sobre testes para DH's – Julho 2010
- Testados chips para DH CTI
- Discussões com outras DH's sobre serviços de teste

4. Reliability and Certification



Climatic chamber –
Vötsch 7033



Thermal cycling chamber
Vötsch 7012



Burn-in



Sample preparation

5. Temas Relacionados

1. SIBRATEC de Microeletrônica
2. Programas universitários
3. Programa Brazil IP

5.1 SIBRATEC Microeletrônica

- **Membros co-executores:**
 - 6 DH's antigas
 - CEITEC Assoc.
 - II/UFRGS
 - Eldorado
 - INATEL
 - SENAI-CIMATEC
- **Comitê Gestor: Jacobus, Morimoto, Edna, Bampi**
- **Sinergia com CI-Brasil e empresas**
- **Projeto aguardando liberação do recurso**

5.1 SIBRATEC – Microeletrônica

- Modelo de operação da rede:
 - Recursos previstos
 - Estruturação da rede : R\$ 661.182,00
 - Total: R\$ 15 M (+ 20% de contrapartida em projetos)
 - Chamada por projetos:
 - Pareceres AdHoc
 - Avaliação pela comissão

5.2 Programas Universitários

- Programas e gastos anuais:
 - Brazil IP: bolsas, custeio, capital: R\$ 700 mil
 - PNM: bolsas M e D: R\$ 2 milhões (2011)
 - EDA: R\$ 400 mil (36 IES)

6. Perspectivas e Desafios - CI-Brasil

- Aumentar marketing/divulgação
- Aumentar oferecimento de IP's e serviços
- Aumentar clientes no país e no exterior
- Aumento da inovação nas empresas
- Colaboração entre DH's e/ou consolidação de DH's em poucas mais robustas
- Atração de novas empresas para o país

Agradecimentos

- Equipe CT's e NSCAD
- Comunidade DH's
- Equipe FacTI
- Apoio SEPIN/MCT
- Apoio financeiro:



www.ci-brasil.gov.br

Cases de Sucesso – AbineeTec 2011

- “Chip do Boi”: CEITEC S.A. – *Cylon Gonçalves da Silva*
- “Detector de falha em distribuição de energia elétrica”: LSI-Tec – *Walter Santana* e CPFL - *Helder Pires Bufarah*
- “Microcontrolador ZR16”: SMDH/Chipus e Extron – *João Batista Martins*
- “TV-Digital - em Alta Definição e Móvel”: Idea!/Eldorado - *Valdiney Pimenta*
- “Conversores AD e DA para chip de smart grid”: Chipus e EPFL - *Murilo Pilon Pessatti*